

Japanese Patent Laid-Open Number Hei 9-74207

Laid-Open Date: March 18, 1997

Application No.: Hei 7-251924

Filing Date: September 4, 1995

Int. Class. No.: H01L 29/786, 27/12

Inventor: Hirokazu Saito

Applicant: Toyota Motor Corporation

### Specification

(54) Title of Invention: Manufacturing Method of Thin Film Transistor

(57) Summary

[Purpose] To manufacture a thin film transistor without a high temperature thermal processing process, and to make a threshold voltage  $V_{th}$  of the thin film transistor stable and uniform.

[Means for solution] A gate electrode 41 and a gate insulating film 42 are formed on a substrate 50, and a poly-crystalline silicon thin film 10 with high impurity concentration is formed with the gate electrode 41 insulated. Then, an ion which inactivates impurity element in silicon is implanted into one portion facing the gate electrode 41 of the poly-crystalline silicon thin film 10. Accordingly, the portion becomes a channel region 1 because the carrier concentration of the portion is lowered, and the rest become source and drain regions 2. Consequently, a thin film transistor wherein the carrier concentration of the channel region 1 is controlled precisely is manufactured without a high temperature thermal processing process.

[What is claimed]

[Claim 1] A manufacturing method of a thin film transistor comprising:

a gate structure forming process for forming a gate electrode and a gate insulating film;

a depositing process for depositing a semiconductor thin film with high impurity concentration with said gate electrode insulated; and

a channel forming process for making one portion facing said gate electrode of said semiconductor thin film a channel region by ion implanting and making the rest a source region and a drain region;

wherein an ion implanted in said ion implantation inactivates an impurity element in said semiconductor thin film.

[Detailed Description of the Invention]

[0001]

[Field of the invention] The present invention relates to a manufacturing method of a thin film transistor, for example used for a switching element of an active matrix type display device, furthermore relates in detail to a manufacturing method of a thin film transistor wherein an element that a stable and uniform threshold voltage of each thin film transistor

is obtained and a multi-gradation operation is possible can be manufactured without a thermal damage on a substrate and with simple process.

[0002]

[Prior art] Conventionally, in an active matrix type display device using a material for displaying such as liquid crystal etc., a thin film transistor is used as a switching element of each pixel. The thin film transistor like this, for example, is mentioned in Japanese Patent Gazette of Laid-Open No. Sho 63-224258 etc.

[0003] The conventional manufacturing method of a thin film transistor, in outline, is manufacturing a thin film transistor shown in Figure 8 by a flow such as Figure 7. That is to say, first a gate electrode 51 of the decided shape is formed on a transparent glass substrate 50 (a). This gate electrode 51 is made of metal such as molybdenum (Mo) etc. or poly-crystalline silicon (Si). Then, a gate insulating film 52 is formed on the glass substrate 50 including this gate electrode 51 by CVD (chemical vapor phase deposition) (b), and a channel layer 53 is formed on this gate electrode 51 and the gate insulating film 52 (c). This channel layer 53 is made of amorphous silicon or poly-crystalline silicon, wherein an impurity with low concentration is doped. The threshold voltage  $V_{th}$  of operation of the thin film transistor is decided by the impurity concentration of this channel layer 53.

[0004] Next, a channel stopper layer 54 of silicon nitride ( $\text{SiN}_x$ ) is formed on this channel layer 53 by plasma CVD (d). This channel stopper layer 54 becomes an etching stopper in the subsequent source and drain processing. Then, the channel layer 53 is etched into the decided shape (e), on which a source and drain layer 55 is formed to the decided shape (f), furthermore on which a source and drain electrode 56 is formed to the decided shape (g). In case that the source and drain layer 55 and the source and drain electrode 56 are etched into the decided shapes, the channel layer 53 is prevented from etching by the channel stopper layer 54. The source and drain layer 55 is made of amorphous silicon or poly-crystalline silicon, wherein an impurity with high concentration (the same impurity of pn polarity as the channel layer 53) is doped. The source and drain electrode 56 is made of metal such as aluminum (Al) etc. At last, covering a silicon nitride protective film (Figure is omitted) is performed by plasma CVD (h), consequently a thin film transistor device is accomplished.

[0005] In the thin film transistor manufactured in this way, because the channel layer 53 has high resistance for its low impurity concentration, the conductivity between the source layer 55 and the drain layer 55 is OFF under normal conditions. However, when the voltage  $V_g$  is applied to the gate electrode 51, the field effect increases the carrier concentration in the channel layer 53 so that the resistant value is lowered, consequently the conductivity between the source layer 55 and the drain layer 55 becomes ON. The gate voltage  $V_g$  causes this ON reverse is a threshold voltage  $V_{th}$ .

[0006] The manufacturing method mentioned above is that a thin film transistor is manufactured by using a transparent glass substrate 50 as a substrate for being used for a display device, and not using high temperature thermal processing, for example, ion implanting and thermal diffusion, because this glass substrate 50 is easily affected by high temperature. Accordingly, in forming the channel layer 53 (c), and forming the source and drain layer 55 (f), not a non-doped film containing no impurity is deposited, and into which an impurity is introduced and diffused subsequently, but a doped film containing an impurity from the first is deposited.

## [0007]

[Problems to be solved by the Invention] However, the thin film transistor manufactured by said conventional method has problem that the threshold voltage  $V_{th}$  is variable extensively. The cause is the variable impurity concentration of the channel layer 53.

[0008] First, for making this reason clear, the relation between the impurity concentration of the channel layer 53 and the threshold voltage  $V_{th}$  is explained. A thin film transistor of this kind operates ON by which the carrier concentration in the channel layer 53 rises up to the value enough for conductivity between the source layer 55 and the drain layer 55 by the field effect of the gate voltage  $V_g$ . The gate voltage  $V_g$  necessary for this operation is the threshold voltage  $V_{th}$ . The impurity concentration of the channel layer 53 decides the original value of the carrier concentration, therefore, when the impurity concentration is varied, the threshold voltage is also varied. For example, in case that the impurity concentration is higher than the normal value, the original carrier concentration of the channel layer 53 is high, consequently the thin film transistor becomes ON by lower gate voltage  $V_g$ . That is to say, the threshold voltage  $V_{th}$  is lower than the normal value. On the other hand, in case that the impurity concentration is lower than the normal value, the threshold voltage  $V_{th}$  is higher than the normal value. Therefore, in order to obtain the precise threshold voltage  $V_{th}$ , the impurity concentration of the channel layer 53 needs to be uniform.

[0009] In said manufacturing method, this channel layer 53 is formed by depositing as a doped film containing the impurity. However, in a region with low impurity concentration, the concentration is variable extensively because it is difficult for the device to control the concentration. On that point, this method is different from ion implantation wherein the number of implanted ions can be controlled precisely. This variation of the concentration exists between thin film transistors each other on one substrate as well as between substrates. Accordingly, the threshold voltage  $V_{th}$  of each thin film transistor is variable on one substrate. Consequently, the number of gradation of display used for a display device is limited to about sixty-four, and it cannot be increased any more.

[0010] The present invention, is accomplished for resolving the problems of the conventional technology, and has the purpose to offer a manufacturing method of a thin film transistor wherein a threshold voltage  $V_{th}$  of a thin film transistor is stable and is obtained uniformly with high reproducibility without high temperature thermal processing process.

## [0011]

[Means for resolving problems] A manufacturing method of a thin film transistor concerned in the present invention for accomplished said purposes is characterized by comprising:

- a gate structure forming process for forming a gate electrode and a gate insulating film;

- a depositing process for depositing a semiconductor thin film with high impurity concentration with said gate electrode insulated; and

- a channel forming process for making one portion facing said gate electrode of said semiconductor thin film a channel region by ion implanting and making the rest a source region and a drain region;

wherein an ion implanted in said ion implantation inactivates an impurity element in said semiconductor thin film.

[0012] In this manufacturing method, after a gate electrode and a gate insulating film are

formed in a gate structure forming process, a semiconductor thin film with high impurity concentration is deposited in a depositing process. This semiconductor thin film is deposited with the impurity concentration having a suitable resistant value for a source region and a drain region of a thin film transistor. This concentration can be controlled precisely by a deposit apparatus, therefore the precision of the impurity concentration in the semiconductor thin film is high. Also, this semiconductor thin film is insulated from the gate electrode by the gate insulating film. Then, ions are implanted into one portion of the semiconductor thin film in a channel forming process. The portion into which the ions are implanted is further one portion of the portion facing the gate electrode in the semiconductor thin film. The ions implanted here inactivates the impurity element in the semiconductor thin film so as not to contribute to carrier grant. Accordingly, the portion into which this ion is implanted becomes the channel region of the thin film transistor because the carrier concentration is lowered and the resistant value is increased in spite of high impurity concentration. The portions where the ions are not implanted in the semiconductor thin film become the source region and the drain region of the thin film transistor. Besides, this ion implantation does not cause a thermal damage because a heating diffusion processing is not performed subsequently.

[0013] The thin film transistor manufactured in this way comprises the channel region which is one portion of the semiconductor thin film with high impurity concentration and into which the ions inactivating the impurity element are implanted, the source region and the drain region that the rest of said semiconductor thin film, the gate electrode facing said channel region and being wider than it, the gate insulating film insulating said gate electrode from said channel region, the source region, and the drain region.

[0014] In this thin film transistor, because the carrier concentration is lowered by making impurity element inactivate by ion implantation in the channel region, the resistant value of this region is high. Accordingly in the normal condition, the conductivity between the source region and the drain region is OFF by this channel region. Then, when a voltage  $V_g$  is applied to the gate electrode, an electric field by the voltage  $V_g$  operates the whole channel region through the gate insulating film, and of which field effect increases the carrier concentration of the channel region, consequently the resistance of the channel region is decreased. When the voltage  $V_g$  reaches the threshold voltage  $V_{th}$ , the conductivity between the source region and the drain region becomes ON.

[0015] The gate voltage  $V_g$  necessary for reversing the thin film transistor to ON, that is to say, the threshold voltage  $V_{th}$  depends on the carrier concentration of the channel region in case that the gate voltage  $V_g$  is zero. This carrier concentration is a concentration of an active impurity element in the channel region, which is subtracted the concentration inactivated by ion implantation in the channel forming process from the impurity concentration at depositing the semiconductor thin film with high impurity concentration in the depositing process. Besides, because the impurity concentration at deposit can be controlled precisely by a deposit apparatus and the number of implanted ions can be controlled precisely in ion implantation, the concentration of the active impurity element in the channel region can be controlled precisely and the reproducibility is high. Consequently, even if a large number of thin film transistors are formed on one substrate, the uniformity of the threshold voltage  $V_{th}$  of each thin film transistor is high.

[0016] Besides, in this thin film transistor, because the channel region, the source region and the drain region are formed as one layer of the semiconductor thin film with high impurity concentration, a contact resistance between the channel region and the source and the drain regions is extremely low and a channel length can be shortened. Accordingly ON resistance is low and high-speed operation is possible.

[0017] The followings are explanations by giving preferable situations for accomplishing said purpose further satisfactorily.

[0018] [Situation 1] In a manufacturing method of a thin film transistor of claim 1, a manufacturing method of a thin film transistor wherein ion implantation in said channel forming process is performed by patterning with photoresist mask, and an electrode forming process for forming a source electrode and a drain electrode on a source region and a drain region formed on said semiconductor thin film in said channel forming process is included.

[0019] [Situation 2] In a manufacturing method of a thin film transistor of claim 1, a manufacturing method of a thin film transistor wherein an electrode forming process for forming a source electrode and a drain electrode on the portion to be a source region and a drain region of a semiconductor thin film deposited in said depositing process is included, and ion implanting is performed in said channel forming process using this source electrode and the drain electrode as pattern masks.

[0020] In manufacturing methods of these situations 1 and 2, because a source electrode and a drain electrode for a source region and a drain region are formed in an electrode forming process, an ohmic contact between the source and the drain regions and a wiring is obtained by the source electrode and the drain electrode. Especially, in the manufacturing method of situation 2, because the source electrode and the drain electrode are used as the pattern masks at ion implantation, it is not necessary to perform photolithography for ion implantation only, and the number of times of photo can be reduced.

[0021] [Situation 3] In a manufacturing method of a thin film transistor of situation 1 or situation 2, a manufacturing method of a thin film transistor wherein a stopper forming process for forming an etching stopper layer on a portion to be a channel region of a semiconductor thin film deposited in said depositing process, or on a channel region formed on said semiconductor thin film in said channel forming process is included.

[0022] In this manufacturing method, the etching stopper layer formed in the stopper forming process prevents the portion to be the channel region of the semiconductor thin film or the channel region formed on the semiconductor thin film from being etched in etching an electrode layer in an electrode forming process. For, under the condition that the electrode layer is etched, because the semiconductor thin film is also etched frequently, it is necessary to prevent it from being etched. Therefore, the timing in performing this stopper forming process can be before the electrode forming process, and also before or after forming the channel region on the semiconductor thin film in the channel forming process.

[0023] [Situation 4] In a manufacturing method of a thin film transistor of claim 1, situation 1, situation 2, or situation 3, a manufacturing method of a thin film transistor wherein a semiconductor thin film deposited in said depositing process is an amorphous silicon thin film or a polycrystalline silicon thin film, and an ion implanted in said channel forming process is an ion of element of one or not less than two selected from a group comprising Si, F (fluorine), and Ar (argon).

[0024] In this manufacturing method, an amorphous silicon thin film or a poly-crystalline silicon thin film with high impurity concentration can be deposited controlling the impurity concentration precisely by a normal depositing apparatus. Si, F and Ar have an operation for inactivating the impurity element by which they are ionized and implanted into the amorphous silicon thin film or the poly-crystalline silicon thin film, and are suitable for forming the channel region.

[0025]

[Embodiment] An embodiment of the present invention is explained in detail referring to Figures. In a manufacturing method of a thin film transistor concerned in each embodiment explained below, a large number of thin film transistors are manufactured in a matrix shape on a transparent glass substrate for using as switching elements of a liquid crystal display device. However, for convenience' sake, only one thin film transistor is shown in Figures.

[0026] First embodiment. This embodiment corresponds to claim 1, situation 1, situation 3 concerned in situation 1, and situation 4 concerned in situation 1.

[0027] This embodiment, as shown in Figure 3, fundamentally comprises; forming a gate electrode on a glass substrate (S1), forming a gate insulating film (S2), forming a poly-crystalline silicon film as a doped film with high impurity concentration (S3), forming a channel region by implanting ions into one portion of this poly-crystalline silicon film and making the rest source and drain regions (S4), forming a channel stopper film covering this channel region (S5), removing a superfluous portion of the source and the drain regions (S6), forming the source and drain regions (S7), last of all, covering the whole with a protective film (S8). The following is a detailed explanation using Figure 1 and Figure 2.

[0028] Figure 1 (a) shows a cross sectional view of the condition to form a gate electrode 41, a gate insulating film 42 and a poly-crystalline silicon film 10 with high impurity concentration on a glass substrate 50. Among these forming processes, forming the gate electrode 41 and the gate insulating film 42 is a gate structure forming process in claim 1, and forming the poly-crystalline silicon film 10 with high impurity concentration is a depositing process in claim 1.

[0029] First, the gate electrode 41 is formed with metal such as molybdenum etc. or poly-crystalline silicon on the glass substrate 50 (S1 of Figure 3). This gate electrode 41 is formed by depositing a daubed film of metal or poly-crystalline silicon on the glass substrate 50 with sputtering or CVD, and by processing the film into the decided shape with photolithography and etching. In case of using poly-crystalline silicon, an impurity is made to contain for making sure of the conductivity.

[0030] Next, the gate insulating film 42 is formed on the glass substrate 50 including the gate electrode 41 (S2 of Figure 3). The quality of the material of the gate insulating film 42 is not limited especially if it is excellent in insulating properties, but it is general to form the film using silicon oxide ( $\text{SiO}_2$ ), silicon nitride, etc. by CVD. Though the gate insulating film 42 exists on all the surface of the glass substrate 50 within range of being shown in Figure 1 (a), because it is not necessary in the portion except the thin film transistor, for example in the portion for forming a liquid crystal element etc., the unnecessary portion is removed by photolithography and etching.

[0031] Successively, the poly-crystalline silicon film 10 with high impurity concentration is

formed on the gate insulating film 42 as a daubed film by CVD (S3 of Figure 3). This poly-crystalline silicon film 10 becomes a channel region and source and drain regions in the thin film transistor, and is insulated from the gate electrode 41 by the gate insulating film 42. Then, an impurity with the decided concentration is made to contain in this poly-crystalline silicon film 10 at deposit. This impurity is an element imparting the conductivity to silicon such as phosphorus (P), boron (B), etc. The concentration of this impurity is high concentration obtaining the suitable conductivity for the source and the drain regions of the thin film transistor. Concretely, the poly-crystalline silicon film 10 with high impurity concentration is deposited by mixing impurity supplying gases such as phosphine ( $\text{PH}_3$ ) and diborane ( $\text{B}_2\text{H}_6$ ) as an atmosphere gas of CVD at the decided ratio. The reason for making this impurity element contain at deposit is that it cannot be made to contain by solid-phase diffusion etc. after deposit because the substrate is the glass substrate 50 being easily affected by heat. Besides, the poly-crystalline silicon film 10 is used in this case, but an amorphous silicon film can be used if it has high impurity concentration.

[0032] Figure 1 (a) shows the condition having been to S3. Subsequent Figure 1 (b) shows ion implantation in a channel forming process in claim 1.

[0033] First, in order to perform this ion implantation, a resist mask 61 is patterned by photolithography. The resist mask 61 covers the portions to be source and drain regions in the poly-crystalline silicon film 10, and has a hole in the portion to be a channel region. This hole portion is located over the gate electrode 41 and is narrower than the gate electrode. Then, the ion implantation is performed in condition that this resist mask 61 exists (S4 of Figure 3). The ion implanted here is an ion of element among Si, F, or Ar. These ions have functions not making contribute to carrier grant by inactivating the impurity element contained in the poly-crystalline silicon film 10.

[0034] When this ion is implanted, the ion penetrates into the portion where the resist mask 61 is opened in the poly-crystalline silicon film 10, and the portion becomes a channel region 1. In this channel region 1, the impurity element is inactivated by the ion implanted, and the conductivity is lowered by reducing the carrier concentration. On the other hand, because the ion is masked in the portion covered with the resist mask 61, the carrier concentration of the poly-crystalline silicon film 10 is kept high value at deposit. These portions are used for source and drain regions. After the ion implantation, the resist mask 61 is removed. Besides, because the thermal diffusion is not performed after this ion implantation, the glass substrate 50 is not damaged thermally.

[0035] Next, as shown in Figure 1 (c), a channel stopper 43 of silicon nitride is formed on the poly-crystalline silicon film 10 by CVD (S5 of Figure 3). The channel stopper 43 is an etching stopper for preventing the channel region 1 from being etched in an etching processing of the source and drain electrodes mentioned later, and formed so as to cover the channel region 1 and to jut out a little into the outside. Forming this channel stopper 43 is a stopper forming process in situation 3.

[0036] Successively, as shown in Figure 2 (a), the unnecessary portion of the poly-crystalline silicon film 10 is removed by photolithography and etching. Consequently, source and drain regions 2 are processed (S6 of Figure 3). Besides, forming the channel stopper 43 of Figure 1 (c) and processing these source and drain regions 2 can be exchanged in order.

[0037] Next, as shown in Figure 2 (b), source and drain electrodes 44 are formed on the

source and drain region 2 with metal such as aluminum etc. (S7 of Figure 3). Forming these source and drain electrodes 44 is performed by forming a daubed film of the metal by sputtering or CVD and processing by photolithography and etching. In this etching process, because the poly-crystalline silicon film 10 is also etched under the condition of etching the source and drain electrodes 44, it is possible that the channel region 1 is damaged so that it is necessary to take measures to prevent it. In this case, the channel stopper 43 performs preventing function for protecting the channel region 1. The source and drain electrodes 44 formed in this way cover the upper side of the source and drain regions, and ohmic contact between them can be obtained. Forming the source and drain electrodes 44 is an electrode forming process in situation 1.

[0038] Then, after forming the necessary wiring, as shown in Figure 2 (c), a protective film 45 of silicon nitride or silicon oxide is formed by CVD and covers the whole (S8 of Figure 3), consequently a thin film transistor device is accomplished.

[0039] The thin film transistor manufactured in this way comprises: the channel region 1 which is one portion of the poly-crystalline silicon film 10 with high impurity concentration and wherein an impurity element is inactivated by performing ion implantation of element among Si, F, and Ar; the source and drain regions 2 that the rest of the poly-crystalline silicon film 10; the gate electrode 41 facing the channel region 1 and provided wider than the channel region 1; the gate insulating film 42 insulating the channel region 1 and the source and drain regions 2 from the gate electrode 41; and the source and drain electrodes 44 coming into ohmic contact with the source and drain regions 2. A large number of the thin film transistors of this kind are provided in matrix shape on the glass substrate 50, and operate as switching elements of the liquid crystal display device.

[0040] The thin film transistor like this has high resistant value of the channel region 1. For, in this region, the carrier concentration is lowered because the impurity element is inactivated by ion implantation. Accordingly in the normal condition, when the voltage is applied between the source and drain regions 2 with the source and drain electrodes 44, these are not conducted each other. However, when the voltage is applied to the gate electrode 41, an electric field by the voltage  $V_g$  affects the whole of the channel region 1 through the gate insulating film 42, of which field effect increases the carrier concentration of the channel region 1 and the resistance is decreased. Then, when the gate voltage  $V_g$  reaches the threshold voltage  $V_{th}$ , an electricity is conducted between the source and drain regions 2. That is to say, the thin film transistor is reversed to ON.

[0041] The gate voltage  $V_g$  necessary for ON reverse of the thin film transistor; that is to say, the threshold voltage  $V_{th}$  depends on the carrier concentration of the channel region 1 in case that the gate voltage  $V_g$  is zero (hereinafter referred to as an original carrier concentration). The original carrier concentration is a concentration of active impurity element in the channel region 1, which is subtracted the concentration inactivated by ion implantation (S4 of Figure 3) from the impurity concentration at depositing the poly-crystalline silicon film 10 with high impurity concentration (S3 of Figure 3). Because the poly-crystalline silicon film 10 is deposited with high impurity concentration here, the concentration can be controlled precisely at CVD apparatus, and the precision of the impurity concentration of the poly-crystalline silicon film 10 is high. Then, the number of ions implanted is controlled precisely in ion implantation. Therefore, the original carrier concentration in the channel

region 1 is precise. Accordingly, the uniformity of the threshold voltage  $V_{th}$  of each thin film transistor formed on one substrate is high.

[0042] This means that the multi-gradation operation of the liquid crystal display device is possible. According to this thin film transistor, the number of gradation of display operation on the liquid crystal display device can be not less than 128.

[0043] Also, in this thin film transistor, because the channel region 1 and the source and drain regions 2 are deposited as the poly-crystalline silicon film 10 with higher impurity concentration, and the channel region 1 is distinguished from the source and drain regions 2 by ion implantation, the contact resistance between the channel region 1 and the source and drain regions 2 can be almost left out of consideration. Also, the channel length can be shortened. Accordingly the resistance at ON reverse is small and high-speed operation is possible. Especially, in case of using n-type phosphorus etc. as the impurity element of the poly-crystalline silicon film, because the mobility of electrons is higher than that of holes, furthermore high-speed operation is possible.

[0044] Besides, forming the channel-region1 and the source and drain regions 2 as one layer of the poly-crystalline silicon film 10 in this thin film transistor reduces one time of photolithography and the number of photo mask, therefore, it does not make the manufacturing process complicated and is profitable in manufacturing cost.

[0045] Also, because a high temperature thermal processing such as thermal diffusion etc. is not used, a thin film transistor can be formed on a substrate without causing thermal damage. Consequently, this method is suitable for forming a thin film transistor as a switching element of a liquid crystal display device on a glass substrate affected easily by high temperature.

[0046] According to the first embodiment explained above in detail, because the poly-crystalline silicon film 10 with high impurity concentration is deposited, of which one portion is made to be the channel region 1 by performing inactivation of impurity element with ion implantation and the rest is used as the source and drain regions 2, a large number of thin film transistors can be manufactured on the glass substrate 50 without heating up to high temperature excessively so as to make threshold voltage  $V_{th}$  uniform in simple manufacturing process. Besides, in the thin film transistor manufactured in this way, ON resistance is low and high-speed operation is possible. Consequently, multi-gradation operation and high-speed operation of the liquid crystal display device are possible.

[0047] The second embodiment. This embodiment corresponds to claim 1, situation 2, situation 3 concerned in situation 2, and situation 4 concerned in situation 2.

[0048] This embodiment, as shown in Figure 6, fundamentally comprises; forming a gate electrode on a glass substrate (S11), forming a gate insulating film (S12), forming a poly-crystalline silicon film as a doped film with high impurity concentration (S13), forming a channel stopper film covering a portion to be a channel region in the poly-crystalline silicon film (S14), removing a superfluous portion (S15), forming source and drain electrodes (S16), forming a channel region on one portion of the poly-crystalline silicon film by implanting ions and making the rest source and drain regions (S17), last of all, covering the whole with a protective film (S18). The following is a detailed explanation using Figure 4 and Figure 5, quoting the previous description common to the first embodiment, and emphasizing a point of difference.

[0049] Forming the gate electrode 41 on the glass substrate 50 (S11 of Figure 6), forming the gate insulating film 42 (S12 of Figure 6), and forming the poly-crystalline silicon film 10 (an amorphous silicon film is possible) with high impurity concentration (S13 of Figure 6) are the same as those of the first embodiment (S1 to S3 of Figure 3). Figure 4 (a) shows the condition having been to S13 and the same structure of Figure 1 (a).

[0050] Next, as shown in Figure 4 (b), a channel stopper 43 of silicon nitride is formed on the poly-crystalline silicon film 10 by CVD (S14 of Figure 6). The channel stopper 43 is an etching stopper for preventing the portion to be a channel region in the poly-crystalline silicon film 10 by ion implantation mentioned later from being etched in an etching process of the source and drain electrodes mentioned later, is formed so as to cover the portion and to jut out a little into the outside. This channel stopper 43 and its formation is the same as the explained matter by S5 of Figure 3 of the first embodiment (Figure 1 (c)). However, in this embodiment, a total film thickness of the channel stopper 43 and the poly-crystalline silicon film 10 needs to be thinner than a film thickness of the gate insulating film 42. For, ions are prevented from penetrating into the glass substrate 50 in ion implantation mentioned later.

[0051] Successively, as shown in Figure 4 (c), an unnecessary portion of the poly-crystalline silicon film 10 is removed by photolithography and etching (S15 of Figure 6). By this etching, only the portions to be the channel region and the source and drain regions of the thin film transistor in the poly-crystalline silicon film 10 remain. This etching corresponds to Figure 2 (a) and S6 of Figure 3 in the first embodiment. Besides, forming the channel stopper 43 of Figure 4 (b) and this etching process can be exchange in order.

[0052] Then, as shown in Figure 5 (a), the source and drain electrodes 44 are formed with metal of aluminum etc. on the portions to be the source and drain regions in the poly-crystalline silicon film 10 (S16 of Figure 6). Forming the source and drain electrodes 44 is performed by forming a daubed film of metal by sputtering or CVD, on which a resist mask 62 is formed by photolithography, and processing the daubed film by etching. In this etching process, because the poly-crystalline silicon film 10 is etched under the condition of etching the source and drain electrodes 44, it is possible that the portion to be the channel region is damaged and it is necessary to take measures to prevent the film from being etched. In this case, the channel stopper 43 performs preventing function for protection of the film. The source and drain electrodes 44 formed in this way cover the upper side of the portions to be the source and drain regions, and ohmic contact between them can be obtained. Forming the source and drain electrodes 44 is an electrode forming process in situation 2, and corresponds to Figure 2 (b) and S7 of Figure 3 in the first embodiment.

[0053] Next, the channel region 1 is formed by ion implantation (S17 of Figure 6 and Figure 5 (b)). This ion implantation corresponds to Figure 1 (b) and S4 of Figure 3 in the first embodiment, and is a channel forming process in situation 2. Therefore the implanted ion is the ion of element among Si, F and Ar. In this case, because the resist mask 62 in itself made in the previous forming process for the source and drain electrodes 44 masks ions by functioning as a stopper against ions, ions are not implanted into the portion to be the source and drain regions and implanted into only the portion to be the channel region in the poly-crystalline silicon film 10. In the portion, the impurity element is inactivated by the implanted ion, and the conductivity is lowered by which the carrier concentration is reduced, consequently this portion becomes the channel region 1. On the other hand, because the ion

is masked in the portion covered with the resist mask 62 and the source and drain electrodes 44, the carrier concentration is kept high value at deposit. These portions are used for the source and drain regions 2. Besides, because thermal diffusion is not performed after this ion implantation, the glass substrate 50 is not damaged thermally.

[0054] At this time, the acceleration energy of the implanted ion is a low energy that ions is not passed through the gate insulating film 42 in a region outside the resist mask 62 and the source and drain electrodes 44 in Figure 5 (b). Because the glass substrate 50 in this portion is covered with only the gate insulating film 42, in case of implanting with too high energy, ions penetrate into the glass substrate 50 through the gate insulating film 42, and cause unfavorable phenomena as a display device such as cloud of the glass etc. On the other hand, energy to some extent is necessary as the implanted ions distribute over the whole thickness of the poly-crystalline silicon film 10. When the acceleration energy is too low, the portion where the carrier concentration is high remains in the portion a little to the gate insulating film 42 in a thickness of the poly-crystalline silicon film 10, and obstruction in the function as a thin film transistor is caused. In this case, as above-mentioned, because a total film thickness of the channel stopper 43 and the poly-crystalline silicon film 10 is thinner than a film thickness of the gate insulating film 42, the acceleration energy wherein ions do not penetrate into the glass substrate 50 and distribute over the whole thickness of the poly-crystalline silicon film 10 can be chosen.

[0055] Besides, the ion implantation is performed leaving the resist mask 62 as it is in Figure 5 (b), but the ion implantation can be performed after removing the resist mask 62. For, a self-alignment function of the source and drain electrodes 44 having the same pattern as the resist mask 62 prevents ion implantation into the portion except the portion to be the channel region.

[0056] Then, after forming a necessary wiring, a protective film 45 of silicon nitride or silicon oxide is formed by CVD as shown in Figure 5 (c), and covers the whole (S18 of Figure 6), consequently a thin film transistor device is accomplished.

[0057] The thin film transistor manufactured in this way has the same constitution as that of the first embodiment. That is to say, it comprises: the channel region 1 which is one portion of the poly-crystalline silicon film 10 with high impurity concentration and wherein the impurity element is inactivated by implanting ion of element among Si, F, and Ar; the source and drain regions 2 that the rest of the poly-crystalline silicon film 10; the gate electrode 41 facing the channel region 1 and provided wider than the channel region 1; the gate insulating film 42 insulating the channel region 1 and the source and drain regions 2 from the gate electrode 41; and the source and drain electrodes 44 obtaining ohmic contact with the source and drain regions 2. A large number of the thin film transistors of like this are provided in matrix shape on the glass substrate 50, and operate as switching elements of the liquid crystal display device.

[0058] Therefore, in the same way as the first embodiment, the thin film transistor of the second one has the characteristics that the threshold voltage  $V_{th}$  of each thin film transistor has high uniformity, accordingly a multi-gradation operation of the liquid crystal display device is possible. Besides, because the contact resistance between the channel region 1 and the source and drain regions 2 can be almost left out of consideration and the channel length can be shortened, the thin film transistor of the second embodiment is also the same as the

first one on the point that ON resistance is small and high-speed operation is possible. Furthermore, needless to say, the channel region 1 and the source and drain regions 2 are deposited as one layer of the poly-crystalline silicon film 10, and photolithography only for the ion implantation using the resist mask 62 for the source and drain electrodes 44 processing or the source and drain electrodes 44 themselves as pattern masks is not performed, consequently, the manufacturing processes are cut sharply. Besides, because high temperature thermal processing is not performed, a thin film transistor can be formed on a glass substrate easily affected by heat, and can be used for a switching element of a liquid crystal display device.

[0059] According to the second embodiment explained in detail above, the poly-crystalline silicon film 10 with high impurity concentration is deposited, the source and drain electrodes 44 are formed on the portions to be the source and drain regions 2 in the poly-crystalline silicon film 10, the channel region 1 is formed by which inactivation of impurity element is performed by ion implantation on the portion not covered with the source and drain electrodes 44 in the poly-crystalline silicon film 10, and the rest is used for the source and drain regions 2, consequently, a large number of thin film transistors can be manufactured on a glass substrate 50 without heating up to high temperature excessively so as to unify their threshold voltages  $V_{th}$ , with simple manufacturing processes. In the thin film transistor manufactured in this way, ON resistance is low and high-speed operation is possible. Accordingly, the multi-gradation operation and high-speed operation are possible.

[0060] Explanations based the first and the second embodiments are performed above, however, the present invention is not limited to said each embodiment in any way, needless to say, various designs can be changed within range of the gist of the present invention. For example, the concrete ingredient of various thin films such as an insulating film, a metal film, etc. shown in said each embodiment can be exchanged to other one having the same function.

[0061] Also, an example for forming a thin film transistor on a glass substrate for using as a switching element of a liquid crystal display device is shown in said each embodiment, besides, the present invention can be applied in case that a thin film transistor is formed on an object easily affected by high temperature thermal processing. For example, it is thought that it can be applied to forming a transistor after the second layer of the three-dimensional integrated circuit. For, an aluminum wiring etc. for a transistor of the first layer manufactured previously is easily affected by high temperature thermal processing.

[0062]

**[Effect]** According to a manufacturing method of a thin film transistor concerned in the present invention, a semiconductor thin film with high impurity concentration is deposited, inactivation of impurity element is performed by ion implantation on one portion of the semiconductor film to be a channel region, and the rest become source region and drain regions, consequently a stable and uniform threshold voltage  $V_{th}$  of a thin film transistor manufactured is obtained. Besides, because high temperature thermal processing process is not used, the thin film transistor of this kind can be formed on a substrate easily affected by high temperature.

**[A brief explanation of Figures]**

**[Figure 1]** An explanatory view of a manufacturing method of a thin film transistor

concerned in the first embodiment.

[Figure 2] An explanatory view of a manufacturing method of a thin film transistor concerned in the first embodiment.

[Figure 3] A figure showing a flow of a manufacturing method of a thin film transistor shown in Figures 1 and 2.

[Figure 4] An explanatory view of a manufacturing method of a thin film transistor concerned in the second embodiment.

[Figure 5] An explanatory view of a manufacturing method of a thin film transistor concerned in the second embodiment.

[Figure 6] A figure showing a flow of a manufacturing method of a thin film transistor shown in Figures 4 and 5.

[Figure 7] A figure showing a flow of the conventional manufacturing method of a thin film transistor.

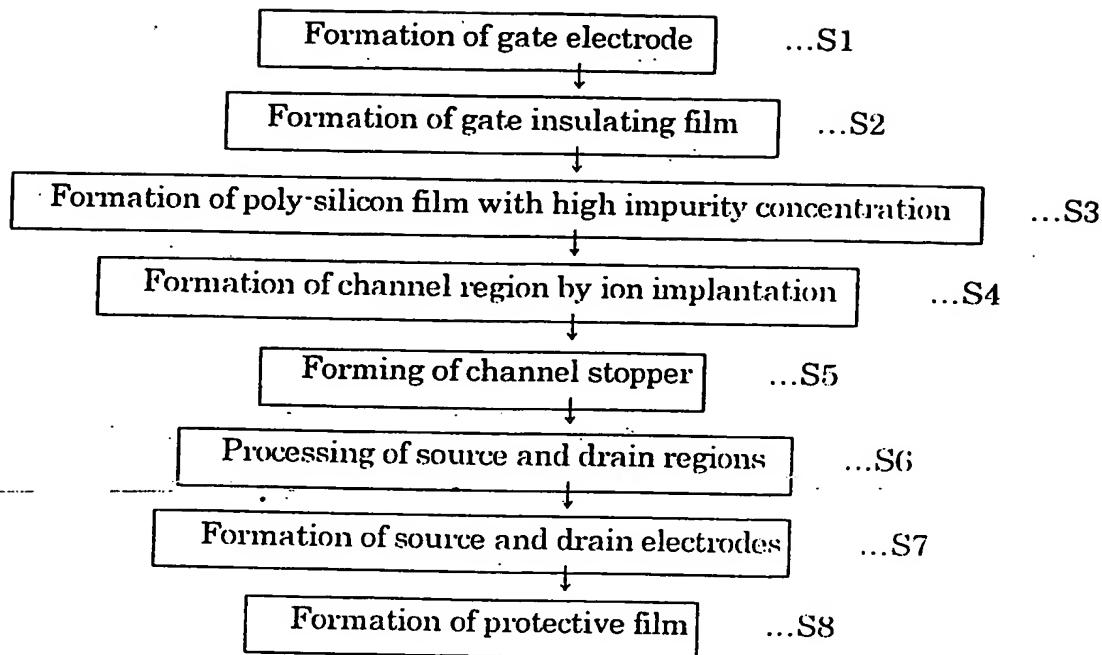
[Figure 8] An explanatory view of the conventional manufacturing method of a thin film transistor.

---

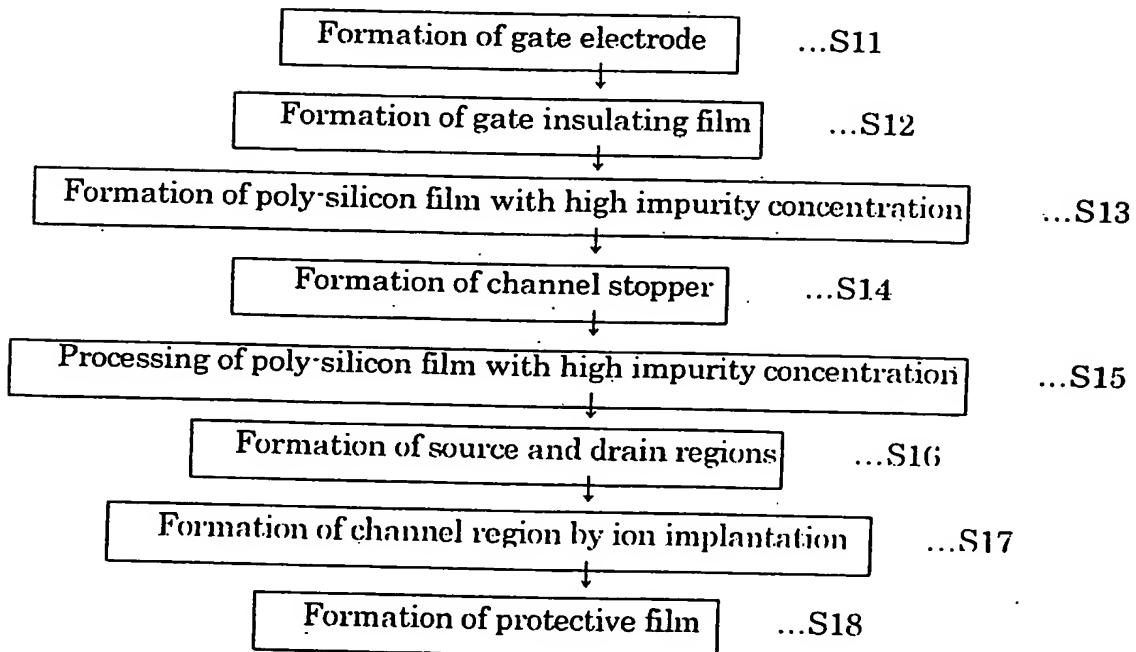
[Explanations of marks]

- 1 channel region
- 2 source and drain regions
- 10 poly-crystalline silicon film
- 41 gate electrode
- 42 gate insulating film

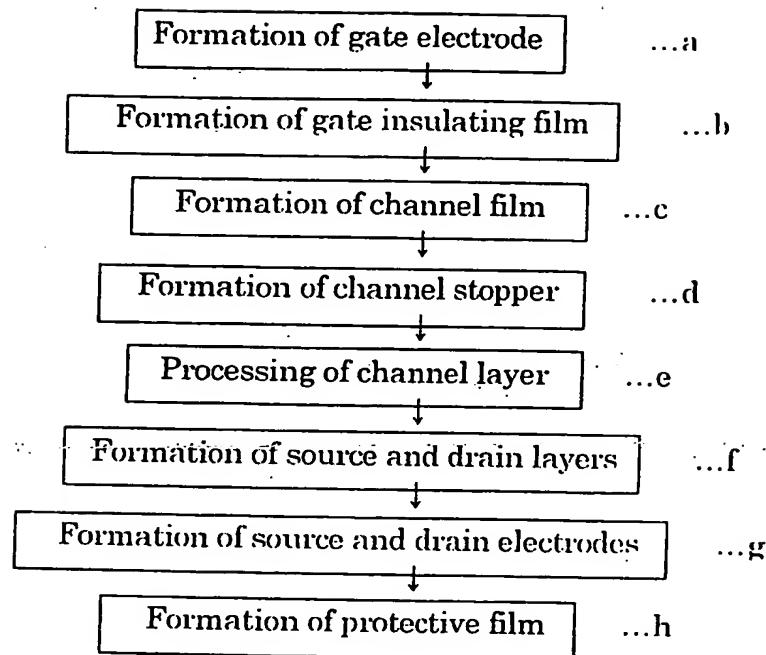
[Figure 3]



[Figure 6]



[Figure 7]



DIALOG(R)File 352:Derwent WPI  
(c) 2002 Derwent Info Ltd. All rts. reserv.

011255676 \*\*Image available\*\*

WPI Acc No: 1997-233579/199721

XRAM Acc No: C97-075003

XRPX Acc No: N97-193160

TFT mfr. for active matrix type display device - involves ion implantation process to polycrystalline silicon@ thin film at contacting part of gate electrode to make impurity in silicon inactive and thus forming channel area

Patent Assignee: TOYOTA JIDOSHA KK (TOYT )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 9074207	A	19970318	JP 95251924	A	19950904	199721 B

Priority Applications (No Type Date): JP 95251924 A 19950904

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 9074207	A	11	H01L-029/786	

Abstract (Basic): JP 9074207 A

The method involves using a substrate (50) over which a gate electrode (41) and a gate insulating film (42) are formed in order. A polycrystalline Si thin film (10) of high impurity density is formed on the gate insulating film.

An ion implantation process is carried out to the polycrystalline Si thin film at contacting part of the gate electrode to make impurity element in Si inactive and thus forms a channel area (1). The remaining area in which ion implantation is not carried out acts as a source or drain area where impurity density is higher than channel area.

**ADVANTAGE** - Simplifies process. Provides stable and uniform threshold voltage value. Manufactures TFT without using high temperature heat treatment process and thus makes formation of TFT on weak substrate possible.

Dwg.1/8

Title Terms: TFT; MANUFACTURE; ACTIVE; MATRIX; TYPE; DISPLAY; DEVICE; ION; IMPLANT; PROCESS; POLYCRYSTALLINE; SILICON; THIN; FILM; CONTACT; PART; GATE; ELECTRODE; IMPURE; SILICON; INACTIVE; FORMING; CHANNEL; AREA

Derwent Class: L03; U11; U12; U14

International Patent Class (Main): H01L-029/786

International Patent Class (Additional): H01L-027/12

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

05459407 \*\*Image available\*\*

**MANUFACTURE OF THIN FILM TRANSISTOR**

PUB. NO.: 09-074207 [JP 9074207 A]

PUBLISHED: March 18, 1997 (19970318)

INVENTOR(s): SAITO HIROKAZU

APPLICANT(s): TOYOTA MOTOR CORP [000320] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 07-251924 [JP 95251924]

FILED: September 04, 1995 (19950904)

INTL CLASS: [6] H01L-029/786; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 44.9 (COMMUNICATION -- Other)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

**ABSTRACT**

**PROBLEM TO BE SOLVED:** To manufacture a thin film transistor without using a high temperature heat treatment process, and to stabilize and make uniform the threshold voltage of the thin film transistor.

**SOLUTION:** A gate electrode 41 and a gate insulating film 42 are formed on a substrate 50, a heavily doped impurity polycrystalline silicon thin film 10 is formed in a manner that it is insulated to the gate electrode 41. Ions, with which the impurity element in silicon is inactivated, are implanted on a part of the section opposing to the gate electrode 41 of the polycrystalline silicon thin film 10. As a result, the carrier concentration of the above-mentioned part becomes low, a channel region 1 is formed, and the remaining part becomes a source and drain region 2. Accordingly, a thin film transistor, on which the carrier concentration of the channel region 1 is controlled in a highly precise manner, is manufactured without performing a high temperature heat treatment process.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-74207

(43)公開日 平成9年(1997)3月18日

(51)Int.Cl.  
H 01 L 29/786  
27/12

識別記号 庁内整理番号

F I  
H 01 L 29/78  
27/12

技術表示箇所

6 1 8 G

審査請求 未請求 請求項の数1 FD (全11頁)

(21)出願番号 特願平7-251924

(22)出願日 平成7年(1995)9月4日

(71)出願人 000003207

トヨタ自動車株式会社

愛知県豊田市トヨタ町1番地

(72)発明者 斎藤 広和

愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内

(74)代理人 弁理士 山中 郁生 (外2名)

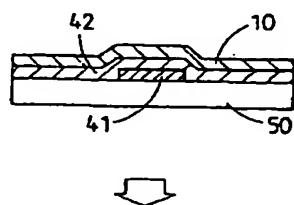
(54)【発明の名称】薄膜トランジスタの製造方法

(57)【要約】

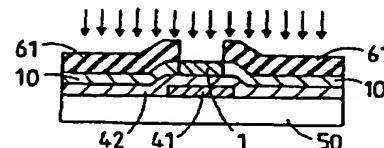
【課題】高温熱処理過程を用いることなく薄膜トランジスタを製造し、その薄膜トランジスタの閾値電圧 $V_{th}$ を安定して均一にさせること。

【解決手段】基板50上にゲート電極41及びゲート絶縁膜42を形成し、高不純物濃度の多結晶シリコン薄膜10をゲート電極41と絶縁して成膜する。そして多結晶シリコン薄膜10のゲート電極41と対面する部分の一部に、シリコン中の不純物元素を不活性化させるイオンを注入する。これによりその部分のキャリア濃度が下がってチャネル領域1となり、残部がソース・ドライン領域2となる。かくして、チャネル領域1のキャリア濃度が高精度に制御された薄膜トランジスタが高温熱処理過程を用いることなく製造される。

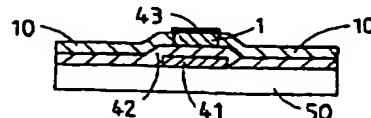
(a)



(b)



(c)



## 【特許請求の範囲】

【請求項1】 ゲート電極及びゲート絶縁膜を形成するゲート構造形成工程と、

高不純物濃度の半導体薄膜を前記ゲート電極と絶縁して成膜する成膜工程と、

前記半導体薄膜の前記ゲート電極と対面する部分の一部にイオン注入を行ってチャネル領域とするとともに残部をソース領域及びドレイン領域とするチャネル形成工程とを含み、

前記イオン注入で注入されるイオンが、前記半導体薄膜中の不純物元素を不活性化させるイオンであることを特徴とする薄膜トランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、例えばアクティブマトリックス型表示装置のスイッチング素子として用いられる薄膜トランジスタの製造方法に関し、更に詳細には、各薄膜トランジスタの閾値電圧が安定して均一に得られ多階調動作が可能な素子を、基板に熱ダメージを与えることなくかつ簡素な工程で製造することができる薄膜トランジスタの製造方法に関する。

## 【0002】

【従来の技術】 従来から、液晶等の表示材料を利用したアクティブマトリックス型の表示装置においては、各画素のスイッチング素子として薄膜トランジスタが使用されている。このような薄膜トランジスタについては、例えば特開昭63-224258号公報等に記載されている。

【0003】 従来の薄膜トランジスタの製造方法は、概略、図7のようなフローにより図8に示す薄膜トランジスタを製造するものである。即ち、最初に透明なガラス基板50上に所定形状のゲート電極51を形成する

(a)。このゲート電極51は、モリブデン(Mo)等の金属又は多結晶シリコン(Si)である。そして、このゲート電極51上を含めてガラス基板50上にCVD(化学気相蒸着法)によりゲート絶縁膜52を形成し、

(b)、このゲート電極51及びゲート絶縁膜52上にチャネル層53を形成する(c)。このチャネル層53は、アモルファスシリコン又は多結晶シリコンであって低濃度の不純物がドープされたものである。このチャネル層53の不純物濃度により、薄膜トランジスタの作動の閾値電圧 $V_{th}$ が決定される。

【0004】 次に、このチャネル層53上に空化シリコン(SiN<sub>x</sub>)のチャネルストップ層54をプラズマCVDにより形成する(d)。このチャネルストップ層54は、続くソース・ドレイン加工の際のエッティングストップとなるものである。そして、チャネル層53を所定形状にエッティング加工して(e)、その上に所定形状のソース・ドレイン層55を形成し(f)、更にその上に所定形状のソース・ドレイン電極56を形成する

(g)。ソース・ドレイン層55やソース・ドレイン電極56を所定形状にエッティング加工する際には、チャネルストップ層54により、チャネル層53がエッティングされることが防がれている。ソース・ドレイン層55は、アモルファスシリコンは多結晶シリコンであって高濃度の不純物(チャネル層53の不純物と同じ特性のもの)がドープされたものである。ソース・ドレイン電極56は、アルミニウム(A1)等の金属である。最後にプラズマCVDで空化シリコンの保護膜(図示略)を被せると(h)、薄膜トランジスタ素子ができる。

【0005】 かくして製造された薄膜トランジスタでは、チャネル層53が低不純物濃度であるため高抵抗なので、通常時はソース層55・ドレイン層55間の導通はオフである。しかしゲート電極51に電圧 $V_g$ を印加するとその電界効果によりチャネル層53内のキャリア濃度が高くなるので抵抗値が下がり、ついにはソース層55・ドレイン層55間の導通がオンになる。このオン反転が起きるゲート電圧 $V_g$ が閾値電圧 $V_{th}$ である。

【0006】 そして上記の製造方法は、表示装置に用いる関係上基板として透明のガラス基板50を使用し、このガラス基板50が高温に弱いことから、例えばイオン注入+熱拡散のような高温熱処理をしないで薄膜トランジスタの製造を行うようにしたものである。このために、チャネル層53の形成(c)やソース・ドレイン層55の形成(f)において、不純物を含まないノンドープ膜を成膜してその後これに不純物を導入拡散するのではなく、当初から不純物を含んだドーフト膜を成膜することとしたのである。

## 【0007】

【発明が解決しようとする課題】 しかしながら、前記した従来方法で製造された薄膜トランジスタには、閾値電圧 $V_{th}$ のばらつきが大きいという問題点があった。その原因は、チャネル層53の不純物濃度のばらつきにある。

【0008】 この理由を明らかにするためにまず、チャネル層53の不純物濃度と閾値電圧 $V_{th}$ との関係を説明する。この種の薄膜トランジスタは、チャネル層53内のキャリア濃度が、ゲート電圧 $V_g$ の電界効果により、ソース層55・ドレイン層55間を導通させるのに十分な値にまで上昇することによりオン動作する。これに必要なゲート電圧 $V_g$ が閾値電圧 $V_{th}$ である。そして、チャネル層53の不純物濃度はキャリア濃度のもともとの値を定めるので、不純物濃度が変動すると閾値電圧 $V_{th}$ も変動してしまう。例えば、不純物濃度が正常値より高い場合には、チャネル層53のもともとのキャリア濃度が高いので、より低いゲート電圧 $V_g$ で薄膜トランジスタがオンしてしまう。つまり閾値電圧 $V_{th}$ が正常値より低くなる。一方、不純物濃度が正常値より低い場合には、閾値電圧 $V_{th}$ が正常値より高くなる。従って、精度

よい閾値電圧  $V_{th}$  を得るために、チャネル層 5 3 の不純物濃度を均一にしなければならないのである。

【0009】そして前記の製造方法では、このチャネル層 5 3 を、不純物を含んだドープト膜として成膜することにより形成している。ところが、不純物濃度の低い領域では、その濃度制御が装置的に困難なためにばらつきが大きくなってしまうのである。この点で、イオン注入では注入するイオンの個数を高精度に制御できるとの相違する。そしてこの濃度のばらつきは、基板間はもちろん、1 枚の基板上の薄膜トランジスタどうしの間にも存在する。このために、1 枚の基板上で各薄膜トランジスタの閾値電圧  $V_{th}$  がばらついてしまうのである。この結果、表示装置として用いたときの表示の階調数は 6 4 程度が限界でそれ以上に増やすことができなかった。

【0010】本発明は、従来技術のかかる問題点を解決するためになされたものであり、その目的とするところは、薄膜トランジスタの閾値電圧  $V_{th}$  が安定して再現性よく均一に得られる薄膜トランジスタの製造方法を、高温熱処理過程を用いることなく提供することにある。

#### 【0011】

【課題を解決するための手段】前記した目的を達成するため本発明に係る薄膜トランジスタの製造方法は、ゲート電極及びゲート絶縁膜を形成するゲート構造形成工程と、高不純物濃度の半導体薄膜を前記ゲート電極と絶縁して成膜する成膜工程と、前記半導体薄膜の前記ゲート電極と対面する部分の一部にイオン注入を行ってチャネル領域とともに残部をソース領域及びドレイン領域とするチャネル形成工程とを含み、前記イオン注入で注入されるイオンが、前記半導体薄膜中の不純物元素を不活性化させるイオンであることを特徴とする。

【0012】この製造方法では、ゲート構造形成工程でゲート電極とゲート絶縁膜とが形成された後、成膜工程で高不純物濃度の半導体薄膜が成膜される。この半導体薄膜は、薄膜トランジスタのソース領域及びドレイン領域として適切な抵抗値を有するような不純物濃度で成膜される。この濃度は、成膜装置での高精度な濃度制御が可能なレベルであり、従って半導体薄膜の不純物濃度の精度は高い。またこの半導体薄膜は、ゲート絶縁膜によりゲート電極とは絶縁されている。そして、チャネル形成工程で半導体薄膜の一部にイオン注入が施される。このイオン注入が施されるのは、半導体薄膜のうちゲート電極と対面する部分の更に一部である。そして、ここで注入されるイオンは、半導体薄膜中の不純物元素を不活性化してキャリア付与に寄与しないようにさせるイオンである。このためこのイオン注入が施された部分は、不純物濃度は高くてもキャリア濃度は低下して抵抗値が上がり、薄膜トランジスタのチャネル領域となる。半導体薄膜のうちイオン注入が施されなかつた部分は薄膜トランジスタのソース領域及びドレイン領域となる。なお、このイオン注入は、その後に加熱拡散処理を行うもので

ないので、熱ダメージのおそれはない。

【0013】かくして製造された薄膜トランジスタは、高不純物濃度の半導体薄膜の一部であり不純物元素を不活性化させるイオンの注入が施されたチャネル領域と、前記半導体薄膜の残部であるソース領域及びドレイン領域と、前記チャネル領域に対面するとともにこれより広いゲート電極と、前記チャネル領域、ソース領域、及びドレイン領域と前記ゲート電極とを絶縁するゲート絶縁膜とを有している。

【0014】この薄膜トランジスタは、チャネル領域においてイオン注入により不純物元素が不活性化されキャリア濃度が下がっているので、この領域の抵抗値は高い。このため通常状態では、ソース領域とドレイン領域との間の導通がこのチャネル領域によりオフとされている。そして、ゲート電極に電圧  $V_g$  を印加すると、その電圧  $V_g$  による電界がゲート絶縁膜を通してチャネル領域全体に作用し、その電界効果によりチャネル領域のキャリア濃度が増加するので、チャネル領域の抵抗が減少する。そして電圧  $V_g$  が閾値電圧  $V_{th}$  に達すると、ソース領域とドレイン領域との間の導通がオンになる。

【0015】ここで、薄膜トランジスタをオン反転させるのに必要なゲート電圧  $V_g$  、即ち閾値電圧  $V_{th}$  は、ゲート電圧  $V_g$  がゼロであるときにおけるチャネル領域のキャリア濃度に依存する。このキャリア濃度は、チャネル領域における活性な不純物元素の濃度であり、これは、成膜工程で高不純物濃度の半導体薄膜を成膜したときの不純物濃度から、チャネル形成工程でイオン注入により不活性化された分を差し引いたものである。そして、成膜時の不純物濃度が成膜装置での高精度な濃度制御が可能なレベルであり、また、イオン注入では注入するイオンの個数の高精度な制御が可能であることから、チャネル領域の活性不純物元素の濃度は高精度な制御が可能で再現性も高い。このため、1 枚の基板上に多数の薄膜トランジスタを形成した場合でも、各薄膜トランジスタの閾値電圧  $V_{th}$  の均一性が高い。

【0016】また、この薄膜トランジスタでは、チャネル領域、ソース領域、及びドレイン領域を一層の高不純物濃度の半導体薄膜として形成しているので、チャネル領域とソース及びドレイン領域との間のコンタクト抵抗が非常に小さく、またチャネル長も小さくできる。このためオン抵抗が小さく高速動作が可能である。

【0017】以下、前記目的を更に良好に達成するための好ましい態様を挙げて説明する。

【0018】【態様 1】請求項 1 の薄膜トランジスタの製造方法において、前記チャネル形成工程でのイオン注入をフォトレジストマスクによりパターニングして行い、前記チャネル形成工程で前記半導体薄膜に形成されたソース領域及びドレイン領域上にソース電極及びドレイン電極を形成する電極形成工程を含むことを特徴とする薄膜トランジスタの製造方法。

【0019】 [態様2] 請求項1の薄膜トランジスタの製造方法において、前記成膜工程で成膜された半導体薄膜のソース領域及びドレイン領域となるべき部分の上にソース電極及びドレイン電極を形成する電極形成工程を含み、このソース電極及びドレイン電極をバーンマスクとして前記チャネル形成工程でのイオン注入を行うことを特徴とする薄膜トランジスタの製造方法。

【0020】 この態様1又は態様2の製造方法では、電極形成工程でソース領域及びドレイン領域に対するソース電極及びドレイン電極を形成するので、ソース電極及びドレイン電極により、ソース領域及びドレイン領域と配線とのオーミックコンタクトがとられる。特に、態様2の製造方法においては、ソース電極及びドレイン電極をイオン注入時のバーンマスクとしているので、イオン注入のみのためのフォトリソグラフィを行う必要がなく、フォト回数を減少させることができる。

【0021】 [態様3] 態様1又は態様2の薄膜トランジスタの製造方法において、前記成膜工程で成膜された半導体薄膜のチャネル領域となるべき部分の上に、若しくは前記チャネル形成工程で前記半導体薄膜に形成されたチャネル領域の上に、エッチングストップ層を形成するストップ形成工程を含むことを特徴とする薄膜トランジスタの製造方法。

【0022】 この製造方法において、ストップ形成工程で形成するエッチングストップ層は、電極形成工程において電極層のエッチングを行う際に半導体薄膜のチャネル領域となるべき部分又は半導体薄膜に形成されたチャネル領域がエッチングされてしまうのを防止するものである。なぜなら、電極層のエッチングを行う条件では、半導体薄膜もエッチングされてしまうことが多いので、これを防止する必要があるためである。従ってこのストップ形成工程を行うタイミングは、電極形成工程よりも前であればよく、チャネル形成工程で半導体薄膜にチャネル領域を形成する前でも形成した後でもよい。

【0023】 [態様4] 請求項1又は態様1又は態様2又は態様3の薄膜トランジスタの製造方法において、前記成膜工程で成膜される半導体薄膜がアモルファスシリコン薄膜又は多結晶シリコン薄膜であり、前記チャネル形成工程で注入されるイオンが、Si、F(フッ素)、Ar(アルゴン)よりなる群から選ばれた1又は2以上の元素のイオンであることを特徴とする薄膜トランジスタの製造方法。

【0024】 この製造方法では、通常の成膜装置により高不純物濃度のアモルファスシリコン薄膜又は多結晶シリコン薄膜を、不純物濃度を高精度に制御しつつ成膜することができる。そして、Si、F、Arは、イオン化してアモルファスシリコン薄膜又は多結晶シリコン薄膜に注入すると不純物元素を不活性化する作用を有しており、チャネル領域の形成に適している。

【0025】

【発明の実施の形態】 本発明の実施の形態を図面を参照して詳細に説明する。以下に説明する各実施の形態に係る薄膜トランジスタの製造方法では、液晶表示装置のスイッチング素子として用いるため、透明なガラス基板上に多数の薄膜トランジスタをマトリックス状に製造する。ただし便宜上、図面には1つの薄膜トランジスタのみを示す。

【0026】 第1の実施の形態。この実施の形態は、請求項1、態様1、態様1に係る態様3、そして態様1に係る態様4に対応する。

【0027】 この実施の形態は基本的に、図3に示すように、ガラス基板上にゲート電極を形成し(S1)、ゲート絶縁膜を形成し(S2)、多結晶シリコン膜を高不純物濃度のドーフト膜として形成し(S3)、この多結晶シリコン膜の一部にイオン注入を施してチャネル領域を形成すると共に残部をソース・ドレイン領域となし(S4)、このチャネル領域を覆うチャネルストップ層を形成し(S5)、ソース・ドレイン領域の余分な部分を除去し(S6)、ソース・ドレイン電極を形成し(S7)、最後に保護膜で全体を覆う(S8)ものである。以下、図1及び図2を用いて、詳細に説明する。

【0028】 図1(a)に、ガラス基板50上にゲート電極41とゲート絶縁膜42と高不純物濃度の多結晶シリコン膜10とを形成した状態の断面図を示す。このうち、ゲート電極41及びゲート絶縁膜42の形成が請求項1にいうゲート構造形成工程であり、高不純物濃度の多結晶シリコン膜10の形成が請求項1にいう成膜工程である。

【0029】 最初にガラス基板50上にモリブデン等の金属又は多結晶シリコンでゲート電極41を形成する(図3のS1)。このゲート電極41の形成は、ガラス基板50上に金属又は多結晶シリコンのベタ膜をスパッタリング又はCVDにより成膜し、フォトリソグラフィとエッチングで所定形状に加工することにより行う、多結晶シリコンを用いる場合は、導電性確保のために不純物を含有させる。

【0030】 次に、ゲート電極41上を含めてガラス基板50上にゲート絶縁膜42を形成する(図3のS2)。ゲート絶縁膜42の材質は、絶縁性に優れるものであれば特に制限はないが、酸化シリコン(SiO<sub>2</sub>)やあるいは空化シリコン等をCVDにより形成するのが一般的である。図1(a)に示す範囲内ではゲート絶縁膜42はガラス基板50上の全面に存在しているが、薄膜トランジスタ以外の例えは液晶素子を形成する場所等には不要なので、フォトリソグラフィとエッチングにより不必要的部分は除去する。

【0031】 続いて、ゲート絶縁膜42上に高不純物濃度の多結晶シリコン膜10を、CVDによりベタ膜として形成する(図3のS3)。この多結晶シリコン膜10は、薄膜トランジスタにおけるチャネル領域及びソース

・ドレイン領域となるものであり、ゲート電極41とはゲート絶縁膜42により絶縁されている。そしてこの多結晶シリコン膜10には、成膜時において、所定の濃度の不純物を含有させる。この不純物とは、リン(P)、ホウ素(B)等のシリコンに導電性を付与する元素である。この不純物の濃度は、薄膜トランジスタのソース・ドレイン領域として適切な導電性が得られる高い濃度とする。具体的には、CVDの雰囲気ガスとして、ホスフィン( $\text{PH}_3$ )やジボラン( $\text{B}_2\text{H}_6$ )のような不純物供給ガスを所定比率で混合させることにより、高不純物濃度の多結晶シリコン膜10を成膜する。ここで、この不純物元素を成膜時に含有させる理由は、基板が高温に弱いガラス基板50であるため、成膜後に固相拡散等で含有させることができないからである。なお、ここでは多結晶シリコン膜10としたが、高不純物濃度であればアモルファスシリコン膜でもよい。

【0032】図1(a)は、このS3まで行った状態を示している。続く図1(b)は、請求項1にいうチャネル形成工程でのイオン注入を示すものである。

【0033】このイオン注入を行うためにまず、フォトリソグラフィによりレジストマスク61をバターニングする。レジストマスク61は、多結晶シリコン膜10のうちソース・ドレイン領域となるべき部分を覆い、チャネル領域となるべき部分は開口している。この開口部分は、ゲート電極41の上方に位置しこれより狭い。そしてこのレジストマスク61が存在する状態でイオン注入を行う(図3のS4)。ここで注入するイオンは、Si、F、Arのいずれかの元素のイオンである。これらのイオンは、多結晶シリコン膜10に含有される不純物元素を不活性化してキャリア付与に寄与しないようにさせる作用を有している。

【0034】このイオン注入を行うと、多結晶シリコン膜10のうちレジストマスク61が開口している部分にイオンが進入し、その部分がチャネル領域1となる。このチャネル領域1では、注入されたイオンのために不純物元素が不活性化され、キャリア濃度が減少して導電性が低下している。一方、レジストマスク61に覆われている部分は、イオンが遮蔽されるので多結晶シリコン膜10のキャリア濃度は成膜時の高い値のまま維持される。この部分がソース・ドレイン領域として使用される。イオン注入が終了したらレジストマスク61を除去する。なお、このイオン注入後に熱拡散は行わないので、ガラス基板50の熱損傷はない。

【0035】次に、図1(c)に示すように、多結晶シリコン膜10上にCVDで窒化シリコンのチャネルストップ43を形成する(図3のS5)。チャネルストップ43は、後述するソース・ドレイン電極のエッチング加工の際にチャネル領域1がエッチングされてしまうのを防止するためのエッチングストップであり、チャネル領域1を覆いその外方へ少しほみ出すように形成される。

このチャネルストップ43の形成は、態様3にいうストップ形成工程である。

【0036】続いて、図2(a)に示すように、多結晶シリコン膜10の不要な部分をフォトリソグラフィとエッチングにより除去する。これによりソース・ドレイン領域2が加工される(図3のS6)。なお、図1(c)のチャネルストップ43の形成とこのソース・ドレイン領域2の加工とは、順序を入れ換てもかまわない。

【0037】次に、図2(b)に示すように、ソース・ドレイン領域2上にアルミニウム等の金属でソース・ドレイン電極44を形成する(図3のS7)。このソース・ドレイン電極44の形成は、スパッタリング又はCVDによりその金属のベタ膜を形成し、これをフォトリソグラフィとエッチングにより加工することにより行う。このエッチング加工の際に、ソース・ドレイン電極44のエッチング条件では多結晶シリコン膜10もエッチングされてしまうので、チャネル領域1がダメージを受けるおそれがありこれを防止する対策を要するが、ここではチャネルストップ43がチャネル領域1の保護のための防止機能を果たしている。かくして形成されたソース・ドレイン電極44は、ソース・ドレイン領域2の上面を覆い、これらとのオーミックコンタクトをとるものである。このソース・ドレイン電極44の形成は、態様1にいう電極形成工程である。

【0038】そして、必要な配線を形成してから、図2(c)に示すようにCVDで窒化シリコン又は酸化シリコンの保護膜45を形成して全体を覆うと(図3のS8)、薄膜トランジスタ素子はできあがる。

【0039】かくして製造された薄膜トランジスタは、高不純物濃度の多結晶シリコン膜10の一部でありSi、F、Arのいずれかの元素のイオン注入が施されて不純物元素が不活性化されたチャネル領域1と、その多結晶シリコン膜10の残部であるソース・ドレイン領域2と、チャネル領域1に対面してこれより広く設けられたゲート電極41と、チャネル領域1及びソース・ドレイン領域2とゲート電極41とを絶縁するゲート絶縁膜42と、ソース・ドレイン領域2とのオーミックコンタクトをとるソース・ドレイン電極44とを有している。そしてこのような薄膜トランジスタがガラス基板50上にマトリックス状に多数存在し、液晶表示装置のスイッチング素子として作用するようになっている。

【0040】かかる薄膜トランジスタは、チャネル領域1の抵抗値が高い。この領域ではイオン注入により不純物元素が不活性化されキャリア濃度が下がっているためである。このため通常状態では、ソース・ドレイン電極44を用いてソース・ドレイン領域2の間に電圧を印加しても、これらは導通しない、しかし、ゲート電極41に電圧を印加すると、その電圧 $V_g$ による電界がゲート絶縁膜42を通してチャネル領域1全体に作用し、その電界効果によりチャネル領域1のキャリア濃度が増加し

てその抵抗が減少する。そしてゲート電圧  $V_g$  が閾値電圧  $V_{th}$  に達すると、ソース・ドレイン領域 2 の間が導通する。即ち薄膜トランジスタがオン反転する。

【0041】ここで、薄膜トランジスタをオン反転させるのに必要なゲート電圧  $V_g$ 、即ち閾値電圧  $V_{th}$  は、ゲート電圧  $V_g$  がゼロであるときにおけるチャネル領域 1 のキャリア濃度（以下、原キャリア濃度という）に依存する。原キャリア濃度は、チャネル領域 1 における活性な不純物元素の濃度であり、これは、高不純物濃度の多結晶シリコン膜 10 を成膜したとき（図 3 の S 3）の不純物濃度から、イオン注入（図 3 の S 4）により不活性化された分を差し引いたものである。ここで、多結晶シリコン膜 10 を高不純物濃度で成膜しているので、CVD 装置で高精度な濃度制御が可能であり、多結晶シリコン膜 10 の不純物濃度の精度は高い。そして、イオン注入では注入するイオンの個数を高精度に制御できる。従って、チャネル領域 1 の原キャリア濃度の精度は高い。このため、1 枚の基板上に形成された各薄膜トランジスタの閾値電圧  $V_{th}$  の均一性が高い。

【0042】このことは、液晶表示装置の多階調動作が可能であることを意味している。この薄膜トランジスタによれば、液晶表示装置の表示動作の階調数を 128 以上とすることができる。

【0043】また、この薄膜トランジスタでは、チャネル領域 1 及びソース・ドレイン領域 2 を一層の高不純物濃度の多結晶シリコン膜 10 として成膜し、これをイオン注入によりチャネル領域 1 とソース・ドレイン領域 2 とに区分しているので、チャネル領域 1 とソース・ドレイン領域 2 との間のコンタクト抵抗が殆ど無視できる。またチャネル長も小さくすることができる。このためオン反転時の抵抗が小さく高速動作が可能である。特に、多結晶シリコン膜 10 の不純物元素として n 型のリン等を用いた場合には、電子の移動度がホールの移動度よりも大きいことから、更に高速な動作が可能である。

【0044】また、この薄膜トランジスタでチャネル領域 1 及びソース・ドレイン領域 2 を一層の多結晶シリコン膜 10 として成膜していることは、フォトリソグラフィの回数が 1 回少なくて済み、フォトマスクの枚数もその分割減るので、製造工程が複雑にならずに済むとともに製造コストの点でも有利である。

【0045】また、熱拡散等の高温熱処理を用いていないので、基板に熱損傷を生じさせることなくその上に薄膜トランジスタを形成することができる。このため、液晶表示装置のスイッチング素子としての薄膜トランジスタを高温に弱いガラス基板上に作成するのに適している。

【0046】以上詳細に説明したように第 1 の実施の形態によれば、高不純物濃度の多結晶シリコン膜 10 を成膜し、この一部を、イオン注入により不純物元素の不活性化を施してチャネル領域 1 とし、残部をソース・ドレ

イン領域 2 として使用することとしたので、ガラス基板 50 を過度に高温に熱することなくその上に多数の薄膜トランジスタを、それらの閾値電圧  $V_{th}$  が均一になるよう、かつ簡易な製造工程で製造できるものである。また、かくして製造された薄膜トランジスタは、オン抵抗が低く高速動作が可能である。このため、液晶表示素子の多階調動作や高速動作が可能である。

【0047】第 2 の実施の形態。この実施の形態は、請求項 1、態様 2、態様 2 に係る態様 3、そして態様 2 に係る態様 4 に対応する。

【0048】この実施の形態は基本的に、図 6 に示すように、ガラス基板上にゲート電極を形成し（S 11）、ゲート絶縁膜を形成し（S 12）、多結晶シリコン膜を高不純物濃度のドーフト膜として形成し（S 13）、そのうちチャネル領域となるべき部分を囲うチャネルトップバ膜を形成し（S 14）、余分な部分を除去し（S 15）、ソース・ドレイン電極を形成し（S 16）、イオン注入により多結晶シリコン膜の一部にチャネル領域を形成すると共に残部をソース・ドレイン領域となし（S 17）、最後に保護膜で全体を覆う（S 18）ものである。以下、第 1 の実施の形態と共通する部分については先の記載を引用しつつ、相違点に重点をおき、図 4 及び図 5 を用いて詳細に説明する。

【0049】ガラス基板 50 上へのゲート電極 41 の形成（図 6 の S 11）及びゲート絶縁膜 42 の形成（図 6 の S 12）、そして高不純物濃度の多結晶シリコン膜 10（アモルファスシリコン膜でもよい）の形成（図 6 の S 13）については、第 1 の実施の形態（図 3 の S 1～S 3）と変わることはない。図 4 (a) はこの S 13 まで行った状態を示しており、図 1 (a) と同様の構造を示している。

【0050】次に、図 4 (b) に示すように、多結晶シリコン膜 10 上に CVD で空化シリコンのチャネルトップバ 43 を形成する（図 6 の S 14）。チャネルトップバ 43 は、多結晶シリコン膜 10 のうち後述するイオン注入によりチャネル領域となるべき部分が後述するソース・ドレイン電極のエッティング加工の際にエッティングされてしまうのを防止するためのエッティングトップバであり、その部分を囲いその外方へ少しはみ出るように形成される。このチャネルトップバ 43 及びその形成は、第 1 の実施の形態の図 3 の S 5 で説明したもの（図 1 (c)）と同様である。ただしこの実施の形態においては、チャネルトップバ 43 と多結晶シリコン膜 10 との合計膜厚を、ゲート絶縁膜 42 の膜厚より薄くしておく必要がある。後述するイオン注入の際にイオンがガラス基板 50 に進入するのを防ぐためである。

【0051】続いて、図 4 (c) に示すように、多結晶シリコン膜 10 をフォトリソグラフィとエッティングにより加工して不要な部分を除去する（図 6 の S 15）。このエッティングにより、多結晶シリコン膜 10 のうち薄膜

トランジスタのチャネル領域となるべき部分及びソース・ドレイン領域となるべき部分のみが残される。このエッチングは、第1の実施の形態における図2(a)、図3のS6に相当する。なお、図4(b)のチャネルストップ43の形成とこのエッチング加工とは、順序を入れ換えてかまわない。

【0052】そして、図5(a)に示すように、多結晶シリコン膜10のうちソース・ドレイン領域となるべき部分の上にアルミニウム等の金属でソース・ドレイン電極44を形成する(図6のS16)。このソース・ドレイン電極44の形成は、スパッタリング又はCVDによりその金属のベタ膜を形成し、その上にフォトリソグラフィによりレジストマスク62を形成し、そしてベタ膜をエッチングにより加工することにより行う。このエッチング加工の際に、ソース・ドレイン電極44のエッチング条件では多結晶シリコン膜10もエッチングされてしまうので、チャネル領域となるべき部分がダメージを受けるおそれがありこれを防止する対策を要するが、ここではチャネルストップ43がその保護のための防止機能を果たしている。かくして形成されたソース・ドレイン電極44は、ソース・ドレイン領域となるべき部分の上面を覆い、これらとのオーミックコンタクトをとるものである。このソース・ドレイン電極44の形成は、態様2にいう電極形成工程であり、第1の実施の形態における図2(b)、図3のS7に相当する。

【0053】次に、イオン注入によるチャネル領域1の形成を行う(図6のS17、図5(b))。このイオン注入は、第1の実施の形態における図1(b)、図3のS4に相当するものであり、態様2にいうチャネル形成工程である。従って注入するイオンはSi、F、Arのいずれかの元素のイオンである。このとき、直前のソース・ドレイン電極44の形成の際に作成したレジストマスク62がそのまま、イオンに対するストップとして作用してイオンを遮蔽するので、多結晶シリコン膜10のうちソース・ドレイン領域となるべき部分にはイオンが注入されず、チャネル領域となるべき部分にのみイオン注入がなされることとなる。そしてその部分では、注入されたイオンのために不純物元素が不活性化され、キャリア濃度が減少して導電性が低下しており、この部分がチャネル領域1となる。一方、レジストマスク62及びソース・ドレイン電極44に覆われている部分は、イオンが遮蔽されるのでキャリア濃度は成膜時の高い値のまま維持される。この部分がソース・ドレイン領域2となる。なお、このイオン注入後に熱拡散は行わないのでガラス基板50の熱損傷はない。

【0054】このとき、注入するイオンの加速エネルギーは、図5(b)中レジストマスク62及びソース・ドレイン電極44の外側の領域においてイオンがゲート絶縁膜42を通過しない程度の低いエネルギーとする。この部分のガラス基板50はゲート絶縁膜42のみに覆わ

れているので、あまりに高いエネルギーで注入するとイオンがゲート絶縁膜42を通してガラス基板50に進入してしまい、ガラスの白濁等、表示装置として好ましくない現象を起こすからである。その一方、注入したイオンが多結晶シリコン膜10の厚み全体に分布するようある程度の高さのエネルギーを要する。加速エネルギーがあまりに低いと、多結晶シリコン膜10の厚みのうちゲート絶縁膜42よりの部分にキャリア濃度が高いままの箇所が残ってしまい、薄膜トランジスタとしての機能に支障ができるからである。ここでは前記のように、チャネルストップ43と多結晶シリコン膜10との合計膜厚がゲート絶縁膜42の膜厚より薄くされているので、イオンがガラス基板50には進入せず、かつイオンが多結晶シリコン膜10の厚み全体に分布するような加速エネルギーを選ぶことができる。

【0055】また、図5(b)ではレジストマスク62を残したままイオン注入を行っているが、レジストマスク62を除去してからイオン注入を行ってもよい。レジストマスク62と同一のパターンを有するソース・ドレイン電極44のセルフアライン作用により、チャネル領域となるべき部分以外へのイオン注入が防止されるからである。

【0056】そして、必要な配線を形成してから、図5(c)に示すようにCVDで窒化シリコン又は酸化シリコンの保護膜45を形成して全体を覆うと(図6のS18)、薄膜トランジスタ素子ができる。

【0057】かくして製造された薄膜トランジスタは、第1の実施の形態のものと同様の構成を有している。即ち、高不純物濃度の多結晶シリコン膜10の一部でありSi、F、Arのいずれかの元素のイオン注入が施されて不純物元素が不活性化されたチャネル領域1と、その多結晶シリコン膜10の残部であるソース・ドレイン領域2と、チャネル領域1に対してこれより広く設けられたゲート電極41と、チャネル領域1及びソース・ドレイン領域2とゲート電極41とを絶縁するゲート絶縁膜42と、ソース・ドレイン領域2とのオーミックコンタクトをとるソース・ドレイン電極44とを有している。そしてこのような薄膜トランジスタがガラス基板50上にマトリックス状に多数存在し、液晶表示装置のスイッチング素子として作用するようにされている。

【0058】従って、第1の実施の形態のものと同様に、各薄膜トランジスタの閾値電圧 $V_{th}$ の均一性が高いという特徴を有しており、このため液晶表示装置の多階調動作が可能である。また、チャネル領域1とソース・ドレイン領域2との間のコンタクト抵抗が殆ど無視できチャネル長も小さくすることができるからオシ抵抗が小さく高速動作が可能である点でも第1の実施の形態のものと同様である。更に、チャネル領域1及びソース・ドレイン領域2を一層の多結晶シリコン膜10として成膜していることはもちろん、ソース・ドレイン電極4

4加工用のレジストマスク62若しくはソース・ドレイン電極44自体をイオン注入のためのパターンマスクとして用いイオン注入のみのためのフォトリソグラフィを行わないことから、製造工程が大幅に簡略化されている。また、高温熱処理を行わないので高温に弱いガラス基板上に薄膜トランジスタを作成でき、液晶表示装置のスイッチング素子に用いることができる。

【0059】以上詳細に説明したように第2の実施の形態によれば、高不純物濃度の多結晶シリコン膜10を成膜し、そのうちソース・ドレイン領域2となるべき部分上にソース・ドレイン電極44を形成し、多結晶シリコン膜10のうちソース・ドレイン電極44に覆われていない部分をイオン注入により不純物元素の不活性化を施してチャネル領域1とし、残部をソース・ドレイン領域2として使用することとしたので、ガラス基板50を過度に高温に熱することなくその上に多数の薄膜トランジスタを、それらの閾値電圧 $V_{th}$ が均一になるように、かつ簡易な製造工程で製造できるものである。また、かくして製造された薄膜トランジスタは、オン抵抗が低く高速動作が可能である。このため、液晶表示素子の多階動作や高速動作が可能である。

【0060】以上第1及び第2の実施の形態に即して説明したが、本発明は前記各実施の形態に何ら限定されるものではなく、本発明の趣旨を逸脱しない範囲で種々の設計変更ができるることは言うまでもないことである。例えば、前記各実施の形態に示した絶縁膜や金属膜等の各種薄膜の具体的な成分は、同様の機能を有する他のもので置き換えることも差し支えない。

【0061】また、前記各実施の形態はいずれも、液晶表示装置のスイッチング素子として用いるためにガラス基板上に薄膜トランジスタを形成する例を示したが、これ以外にも、高温熱処理を嫌うものに薄膜トランジスタを形成する場合には本発明の適用が可能である。例えば、3次元集積回路の2段目以降のトランジスタの形成に応用することが考えられる。既に作製した1段目のト

ランジスタのためのアルミ配線等が高温熱処理を嫌うからである。

#### 【0062】

【発明の効果】本発明に係る薄膜トランジスタの製造方法によれば、高不純物濃度の半導体薄膜を成膜し、その一部にイオン注入による不純物元素の不活性化を施してチャネル領域とするとともに残部をソース領域及びドレイン領域とすることとしたので、製造される薄膜トランジスタの閾値電圧 $V_{th}$ が安定して均一に得られ、また高温熱処理過程を用いないので、高温に弱い基板上にもそのような薄膜トランジスタを形成できる。

#### 【図面の簡単な説明】

【図1】第1の実施の形態に係る薄膜トランジスタの製造方法を説明する図である。

【図2】第1の実施の形態に係る薄膜トランジスタの製造方法を説明する図である。

【図3】図1及び図2に示した薄膜トランジスタの製造方法の流れを示す図である。

【図4】第2の実施の形態に係る薄膜トランジスタの製造方法を説明する図である。

【図5】第2の実施の形態に係る薄膜トランジスタの製造方法を説明する図である。

【図6】図4及び図5に示した薄膜トランジスタの製造方法の流れを示す図である。

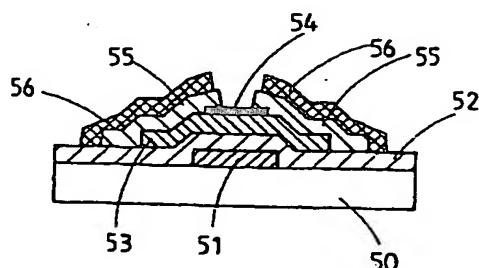
【図7】従来の薄膜トランジスタの製造方法の流れを示す図である。

【図8】従来の薄膜トランジスタの製造方法を説明する図である。

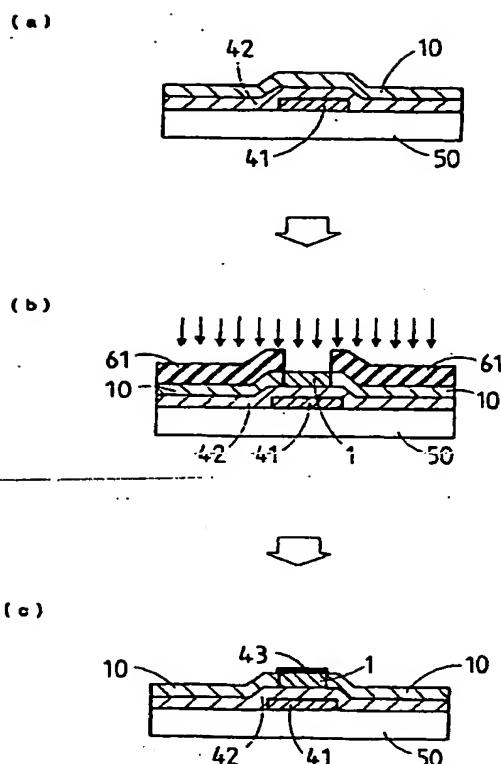
#### 【符号の説明】

- 1 チャネル領域
- 2 ソース・ドレイン領域
- 10 多結晶シリコン薄膜
- 41 ゲート電極
- 42 ゲート絶縁膜

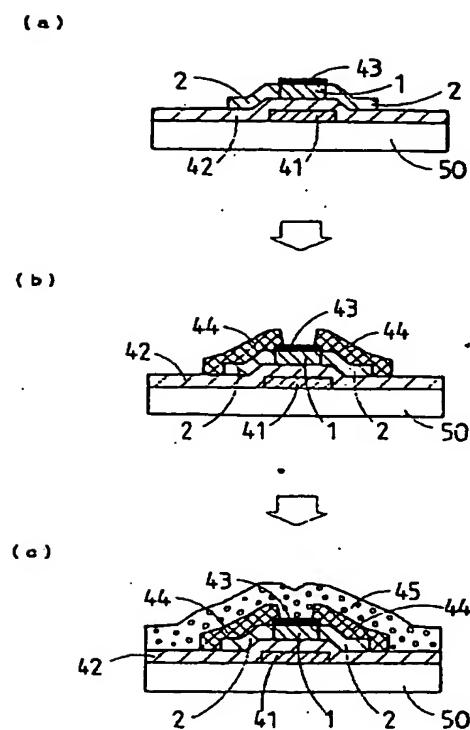
【図8】



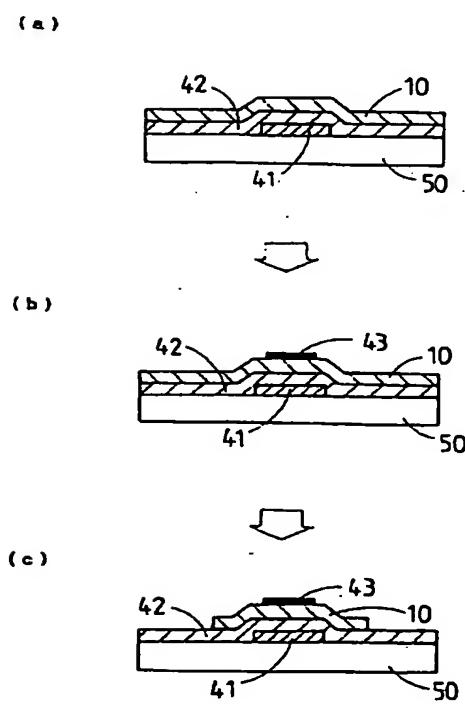
【図1】



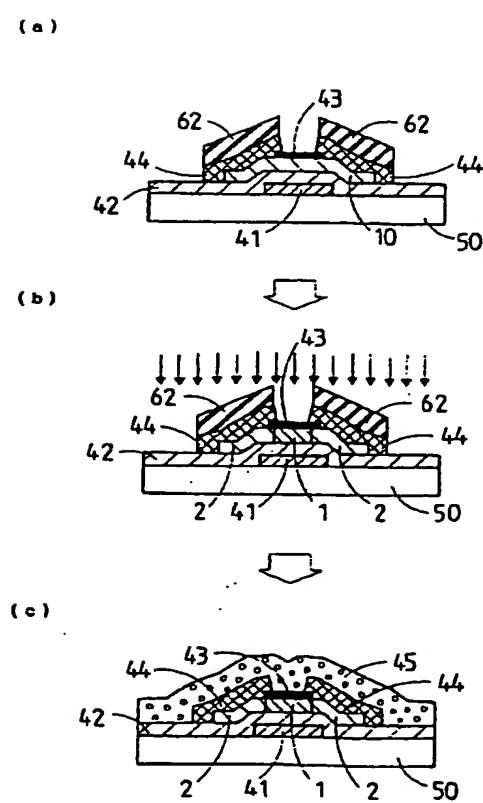
【図2】



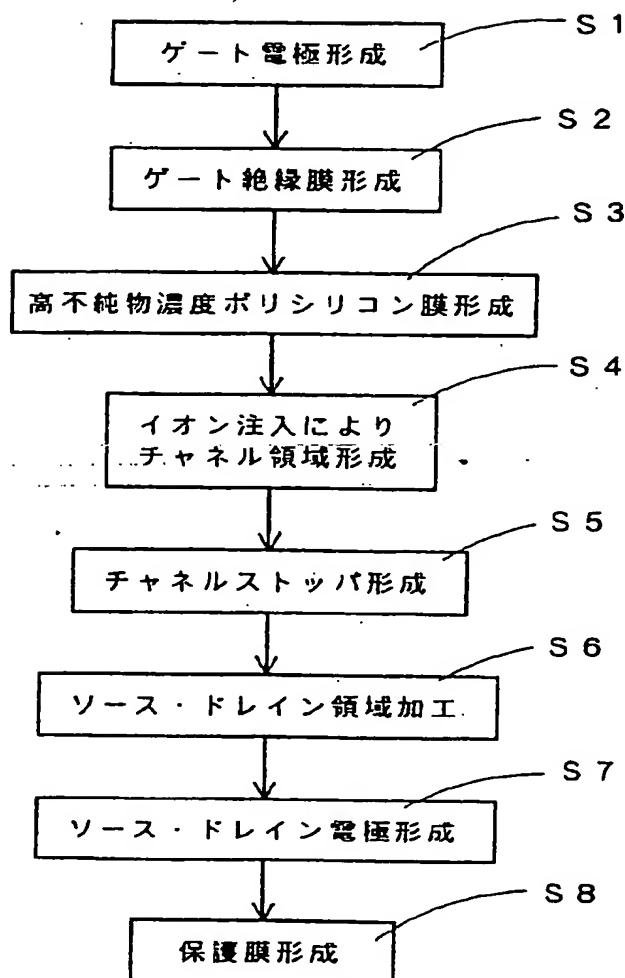
【図4】



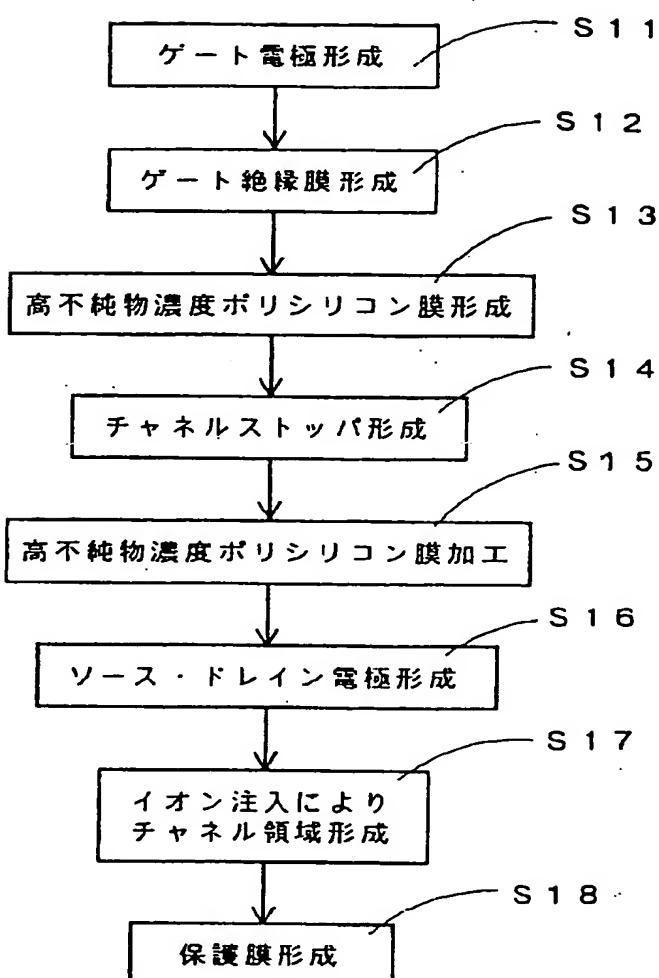
【図5】



【図3】



【図6】



【図7】

